

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
012225158 **Image available**

WPI Acc No: 1999-031264 199903

XRAM Acc No: C99-009835

XRPX Acc No: N99-024342

Polycrystalline silicon film manufacturing method for TFT used LCD -
involves polycrystallisation of non-crystalline silicon@ film followed by
lamp annealing and laser annealing

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL); SONY CORP (SONY)

Number of Countries: 002 Number of Patents: 002

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|--------------------|------|----------|-------------|------|----------|----------|
| JP 10294469 | A | 19981104 | JP 9841497 | A | 19980224 | 199903 B |
| KR 98071575 | A | 19981026 | KR 985388 | A | 19980220 | 199953 |

Priority Applications (No Type Date): JP 9739226 A 19970224

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|-------------|------|--------|----------------|--------------|
| JP 10294469 | A | | 8 H01L-029 786 | |
| KR 98071575 | A | | H01L-021 324 | |

Abstract (Basic): JP 10294469 A

The method involves forming an a-Si film (26) on a gate insulating film (14). The gate insulating film is arranged on a substrate (10) via a gate electrode (12). Then the a-Si film is subjected to halogen lamp irradiation and excimer laser irradiation followed by polycrystallisation. The polycrystallisation yields a p-Si film (24). The polycrystal is subjected to annealing to get homogeneity and suitable grain size. The p-Si film serves as an active layer of the TFT.

ADVANTAGE - Offers weight reduction and thereby cost. Improves display quality.

Dwg.2 6

Title Terms: POLYCRYSTALLINE: SILICON: FILM: MANUFACTURE: METHOD: TFT:
LCD: NON: CRYSTAL: SILICON: FILM: FOLLOW: LAMP: ANNEAL: LASER: ANNEAL
Derwent Class: L03: U11: U12: U14

International Patent Class (Main): H01L-021 324; H01L-029 786

International Patent Class (Additional): H01L-021 20; H01L-021 336

File Segment: CPI: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294469

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁶

識別記号

H 0 1 L 29/786
21/336
21/20

F I

H 0 1 L 29/78 6 2 7 G
21/20
29/78 6 1 7 A

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平10-41497

(22) 出願日 平成10年(1998)2月24日

(31) 優先権主張番号 特願平9-39226

(32) 優先日 平9(1997)2月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 鈴木 浩司

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 弁理士 吉田 研二 (外2名)

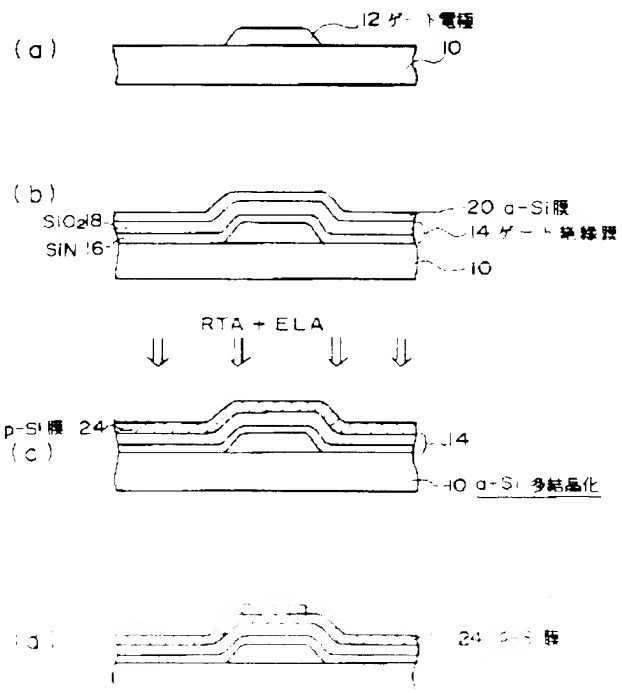
(54) 【発明の名称】 多結晶シリコン膜の製造方法、薄膜トランジスタの製造方法及びアニール装置

(57) 【要約】

【課題】 高熱電導率の材料膜上の非晶質シリコンを多結晶化して均質な多結晶シリコンを形成する。

【解決手段】 基板10上に形成されたゲート電極12の上方にゲート絶縁膜14を介してゲート電極12を跨ぐようにa-Si膜20を形成し、その後a-Si膜20に対してハロゲンランプ照射によるRTA処理及びエキシマレーザ照射によるレーザアニール処理を施し、a-Si膜20を多結晶化させてa-Si膜24を得る。

一種類のアニールを行うことにより、a-Si膜20の内、特にゲート電極12の上方領域においても均質で適切なグレインサイズが多結晶が得られる。得られたp-Si膜24をTFTの能動層(チャネル領域)として利用すれば、特性の優れたボトムゲート構造の多結晶シリ



【特許請求の範囲】

【請求項1】 基板上に形成された熱伝導率の高い材料膜の上方に非晶質シリコン膜を形成し、

前記非晶質シリコン膜形成後、前記非晶質シリコン膜に対してラジカルアニール処理及びレーザーアニール処理を施し、前記非晶質シリコン膜を多結晶化させて多結晶シリコン膜を形成することを特徴とする多結晶シリコン膜の製造方法。

【請求項2】 ガラス基板上に形成されるボトムゲート構造と薄膜トランジスタの製造方法であって、前記ガラス基板上に所望のパターンに形成されたゲート電極材料膜の上方に、非晶質シリコン膜をゲート絶縁膜を介して形成し、

前記非晶質シリコン膜形成後、前記非晶質シリコン膜に対してラジカルアニール処理及びレーザーアニール処理を施し、前記非晶質シリコン膜を多結晶化させて多結晶シリコン膜を形成し、前記多結晶シリコン膜を薄膜トランジスタの能動層とすることを特徴とする薄膜トランジスタの製造方法。

【請求項3】 ガラス基板上に形成されるボトムゲート構造と薄膜トランジスタの製造方法であって、前記ガラス基板上に所望のパターンに形成されたゲート電極材料膜の上方に、非晶質シリコン膜をゲート絶縁膜を介して形成し、

前記非晶質シリコン膜形成後、前記非晶質シリコン膜に対してラジカルアニール処理及びレーザーアニール処理を施し、前記非晶質シリコン膜を多結晶化して多結晶シリコン膜を形成し、前記多結晶シリコン膜に不純物をドーピングし、前記多結晶シリコン膜に対してレーザーアニール処理又はラジカルアニール処理のいずれか又は両方を施して前記ドーピングした不純物を活性化し、前記多結晶シリコン膜中に薄膜トランジスタのソース、ドレイン領域及びチャネル領域を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項4】 請求項2～3のいずれか一項に記載の製造方法において、

前記非晶質シリコン膜の形成後、前記非晶質シリコン膜に対してラジカル照射による短時間熱アニール処理を施し、前記短時間熱アニール処理を介して前記非晶質シリコン膜に対してエキシマレーザー光照射によるレーザーアニール処理を施して、前記非晶質シリコン膜を多結晶化し多結晶シリコン膜を形成することを特徴とする多結晶シリコン膜又は薄膜トランジスタの製造方法。

【請求項5】 請求項2～3のいずれか一項に記載の製造方法において、

前記非晶質シリコン膜の形成後、前記非晶質シリコン膜に対してエキシマレーザー光照射によるレーザーアニール処理を施して、前記非晶質シリコン膜を多結晶化し多結晶シリコン膜を形成することを特徴とする多結晶シリコン膜又は薄膜トランジスタの製造方法。

装置。

【発明の詳細な説明】

【0001】

【発明に属する技術分野】本発明は、液晶ディスプレイ等のマトリクス型表示装置の薄膜トランジスタ（TFT:Thin Film Transistor）などの各種トランジスタに係り、特にそれらのトランジスタの能動層として有用な多結晶シリコン膜の作成方法に関する。

【0002】

【従来の技術】近年、表示装置として高精細、高画質な表示が求められており、液晶ディスプレイではそのために液晶駆動用のスイッチング素子として薄膜トランジスタを利用したアクティブマトリクス方式の液晶ディスプレイ（AM-LCD:Active Matrix Liquid Crystal Display）というものが用いられている。

【0003】TFTを用いたAM-LCDにおいては、薄膜トランジスタの能動層、つまりチャネル領域として、非晶質シリコンを用いる非晶質シリコンTFTと、多結晶シリコン膜を用いる多結晶シリコンTFTが知られている。

【0004】このうち、非晶質シリコンTFTは、非晶質シリコン膜が低温（例えば、300℃）で成膜できるため、融点の低い安価ガラス基板上に形成することが容易であり、また広い面積範囲に均質な非晶質シリコン膜を形成することが容易なことから、パネルの大型化に有利であり、現在のところ大型のLCDに多く用いられている。

【0005】一方の多結晶シリコンTFTは、非晶質シリコン膜に比較して多結晶シリコン膜の移動度が高く、TFTとした場合にオン電流が大きくオフ抵抗・オン抵抗の比が低い等、応答性や駆動能力に優れている。よって、高精細・高画質なLCDのスイッチング素子として有用視されている。また、大型化に伴って選択期間（デューティ）比が短くなることから、大型LCD用の液晶駆動用素子としてもその有用性が指摘されている。また、多結晶シリコンTFTは、多結晶シリコン膜を能動層として用いているため、非晶質、液晶駆動用素子としてだけでなく、駆動回路・論理回路を構成するスイッチング素子としても利用でき、更に、これら液晶駆動用素子及び論理回路の素子を同一工程で同一基板上に形成することも可能である。このため、現在、多結晶シリコンTFTは、画素部と駆動部とを同一基板上に形成したいという要求から液晶駆動用素子として、例えば高精細、高画質、そして低廉であることが要求される中、液晶上

に多結晶シリコン膜を形成する技術が求められている。

【0006】そこで、本発明は、上記課題を解決するため、

多結晶シリコン TFT を融点（600°C 程度）の低い安価なガラス基板上に高い歩留まりで形成することが要求されている。しかし、現在のところ、ガラス基板の融点（600°C 程度）以下の温度で、適切なゲインサイズを有する多結晶シリコン膜を形成することは困難である。このため、最初には非晶質シリコン膜を基板上に形成し、これをレーザアニールを用いて、比較的低温で多結晶化させて多結晶シリコン膜を形成する方法が提案されている。

【0005】例えば、図4に示すような LCD 用のボトムゲート構造の多結晶シリコン TFT の製造にあたっては、ガラス基板上に形成された非晶質シリコン膜にエキシマレーザを照射して非晶質シリコン膜を加熱し、これを多結晶化するレーザアニール方法が知られている。

【0006】ボトムゲート構造の多結晶シリコン TFT の製造では、まず、ガラス基板 10 上に γ 膜を形成してこれを所定の形状にパターンニングし、図4（a）に示すようにゲート配線と一体のゲート電極 12 を形成する。次に、図4（b）に示すように、2層構造のゲート絶縁膜 11 と、非晶質シリコン膜（以下 α -Si 膜という）20 をプラズマ CVD（PECVD: Plasma Enhanced Chemical Vapor Deposition）によって連続形成する。

【0010】そして、形成した α -Si 膜 20 にエキシマレーザを照射して α -Si 膜 20 をアニール（ELA: Excimer Laser Annealing）し、これによって α -Si を多結晶化して、多結晶シリコン（以下、 β -Si という）22 を得る。このときの基板温度は、通常 300°C 程度である。

【0011】多結晶化により β -Si 膜 22 を得た後、 β -Si 膜 22 の上であって、チャンネル領域 44 を形成する領域（ゲート電極 12 と対向する領域）に、Si（ α ）になるチャンネルストップ膜 30 を形成する（図4（c）参照）。次に、このチャンネルストップ膜 30 をマスクとして、TFT のソース・ドレイン領域に相当する領域に、図4（d）より不純物（例えば、リン）をドーピングする。なお、図4（d）に示す TFT は、LCD の Low Duty Driven 構造であり、図4（a）領域 12、11、10 がそれぞれ低濃度領域（ソース・ドレイン領域であり、領域 10 は、101 が高濃度領域（N+）となっている。

【0012】不純物ドーピング後、ランダムアニールによる短時間熱アニール処理（RTA: Rapid Thermal Annealing）を施し、ドーパされた不純物を活性化し、これによ

り、e- を接続し、LCD の一方の基板を得る。なお、図4（d）に示す TFT の基板配置は、例えば、図5に示すような配置になっている。但し、図5は、ソース電極 70、ドレイン電極 60 を示す断面図を表している。

【0013】

【発明が解決しようとする課題】以上のように、従来のボトムゲート構造の多結晶シリコン TFT においては、 α -Si 膜 20 を ELA によって多結晶化し β -Si 膜 22 を得ている。

【0014】このような α -Si の多結晶化は、供給される熱量、つまりエネルギー量に依存して起こるため、 α -Si 膜 20 に与える熱量、つまりエネルギーが、画内エネルギー α -Si 膜の単位面積あたりの照射エネルギーを均一に制御することが、均質な β -Si 膜 22 を形成する上で重要である。

【0015】しかしながら、実定には、ELA により形成された β -Si 膜 22 のゲインサイズが、全域にわたって均一になるという問題が生じた。

【0016】このような膜質の不均一性が起こる最大の理由は、ボトムゲート構造の TFT では、多結晶化する α -Si 膜 20 が、図4若しくは図5に示すように熱伝導性の高いゲート電極 12 の上方の一部を覆うように、つまりゲート電極 12 を跨るように形成されていることによる。つまり、ゲート電極 12 を構成する金属材料（例えば、 Cr ）は、周辺のガラス基板 10 等よりも高い熱伝導性を有しており、 α -Si 膜 20 にエキシマレーザを照射すると、 α -Si 膜 20 の直下層にゲート電極 12 が存在する領域では、エキシマレーザによる熱がゲート電極 12 及びゲート配線によって他のガラス基板領域よりも速く拡散してしまっているためである。

【0017】例えば、図6に示すように、ゲート電極 12 のない領域 22' においては、 α -Si 膜 20 が適切なゲインサイズの多結晶シリコンになるものの、同じエネルギー条件で、ゲート電極 12 が存在する領域 22 の α -Si 膜 20 の多結晶化は不十分であり、適切なゲインサイズが多結晶シリコンにはならない。

【0018】なお、多結晶化により形成される β -Si 膜 22 がゲート電極 12 の領域（つまり TFT のチャンネル領域）を構成することから、この領域は、 β -Si の多結晶化ゲインサイズが十分大きくなるように、レーザアニールの条件を制御することも考えられる。ところが、シリコン膜のゲート電極 12 上方の領域 22' のゲインサイズが制御しにくく、この領域の条件を制御すると、今度は、ガラス基板 10 の領域 101 における多結晶化が

図4は、ボトムゲート構造の多結晶シリコン TFT の製造工程を示す断面図である。図4（a）は、ガラス基板 10 上にゲート配線と一体のゲート電極 12 を形成した状態を示す。図4（b）は、ゲート電極 12 の上及びその周囲に非晶質シリコン膜 20 を形成した状態を示す。図4（c）は、非晶質シリコン膜 20 の一部にチャンネルストップ膜 30 を形成した状態を示す。図4（d）は、チャンネルストップ膜 30 をマスクとして、ソース・ドレイン領域にリンをドーピングした状態を示す。

図5は、ボトムゲート構造の多結晶シリコン TFT の製造工程を示す断面図である。図5（a）は、ガラス基板 10 上にゲート電極 12 を形成した状態を示す。図5（b）は、ゲート電極 12 の上及びその周囲に非晶質シリコン膜 20 を形成した状態を示す。図5（c）は、非晶質シリコン膜 20 の一部にチャンネルストップ膜 30 を形成した状態を示す。図5（d）は、チャンネルストップ膜 30 をマスクとして、ソース・ドレイン領域にリンをドーピングした状態を示す。

きなかった。

【0019】更に、上述のような面内で不均一なイオン化、例えばp-Si膜2層を用いてn-Ti層を構成した場合、各n-Ti層の特性（例えばイオン化、又は依存する電圧、シート抵抗）のバラツキが大きくなる。よって、上記の画素部のn-Ti層として用いた場合、表示にムラが生ずることとなり、上記の表示品質に影響を及ぼす原因となってしまうという問題がある。

【0020】本発明は、このような課題を解決するためになされたものであり、非晶質シリコンを多結晶化して均質な多結晶シリコンを形成することを目的とする。また、さらに、このような多結晶シリコン膜を利用して特性の優れた薄膜トランジスタを提供することを目的とする。

【0021】

【課題を解決するための手段】本発明は、上記目的を解決するためになされ、以下のような特徴を備える。

【0022】まず、多結晶シリコン膜の製造方法において、この発明は、基板上に形成された熱伝導率の高い材料膜の上方に少なくとも一部が重なるように非晶質シリコン膜を形成し、前記非晶質シリコン膜形成後、前記非晶質シリコン膜に対してラジカルアニール処理及びレーザーアニール処理を施し、前記非晶質シリコン膜を多結晶化させて多結晶シリコン膜を得るものである。

【0023】また、この発明は、ガラス基板上に形成されるボトムゲート構造の薄膜トランジスタの製造方法であり、前記ガラス基板上に所望のパターンに形成されたゲート電極材料膜の上方に、非晶質シリコン膜をゲート絶縁膜を介して形成し、前記非晶質シリコン膜形成後、前記非晶質シリコン膜に対してラジカルアニール処理及びレーザーアニール処理を施し、前記非晶質シリコン膜を多結晶化させて多結晶シリコン膜を形成し、得られた多結晶シリコン膜を薄膜トランジスタの能動層とするものである。

【0024】更に、この発明は、ガラス基板上に形成されるボトムゲート構造の薄膜トランジスタの製造方法において、上述のように、非晶質シリコン膜形成後、前記非晶質シリコン膜に対してラジカルアニール処理及びレーザーアニール処理を施し、前記非晶質シリコン膜を多結晶化して多結晶シリコン膜を形成し、前記多結晶シリコン膜に不純物をドーピングし、この不純物を、多結晶シリコン膜に対してレーザーアニール処理又はラジカルアニール処理を施すことが又は両方を施すことにより、p型化し、前記多結晶シリコン膜中に薄膜トランジスタのチャネル、

ーザアニール処理を施し、前記非晶質シリコン膜を多結晶化し多結晶シリコン膜を形成するものである。

【0026】また、この発明は、非晶質シリコンを多結晶化するためのアニール装置において、ハロゲン光を照射して被アニール体をアニールするための短時間熱アニール処理部と、エキシマレーザを照射して前記被アニール体をアニールするためのレーザアニール処理部と、を近接配置したものである。

【0027】

【発明の実施の形態】以下、本発明の好適な実施の形態（以下、実施形態という）について図面を用いて説明する。なお、以下の説明において、既に説明した図面と同一部分には同一符号を付して説明を省略する。

【0028】（工程1）「多結晶化方法」本実施形態では、工程1の多結晶化のために、アニール処理として、ランプを用いたRTAと、エキシマレーザを用いたELAとの2種類のアニール処理を施す。特に、多結晶化すべき非晶質シリコン膜の下部（一部）にゲート電極が存在するボトムゲート構造のn-Ti層において、n-Ti層の能動領域、つまりチャネル領域部分を適切に多結晶化するためには上記2種類のアニール処理を採用している。

【0029】このような本実施形態に係るアニール処理装置は、図1に示すような構成を備える。

【0030】まず、RTA処理部の構成から説明する。RTA処理部は、RTA装置に近似したものである。本実施形態では、被アニール体としてのα-Si膜の形成された基板110が、搬送ローラ102によって装置内に搬入され、予備加熱部104へと搬送される。予備加熱部104は、搬入された基板110を予備加熱する。基板の搬送路の上には、ハロゲンランプ（例えば、キセノンランプ）100が設置されており、予備加熱された基板110が、これらハロゲンランプ100によるライン状の加熱域を通過することにより、α-Siが加熱されて多結晶化が起る。

【0031】加熱域を通過した後、基板110は冷却部106に搬送される。この冷却部106は、所定の温度に冷却されており、加熱域通過後における基板110の急激な冷却を避け、基板110の温度低下速度をコントロールする。冷却部106を通過する途、基板110は搬送ローラ108によって装置より搬出され、搬送するように次の工程へ（実施形態ではチャネル形成工程）へと進む。

【0032】本実施形態では、このようなRTA処理部、ハロゲンランプ100による加熱域で加熱後、ELA

（図2参照）により、チャネル領域にのみ多結晶化を施すことが可能である。また、図2に示すように、チャネル領域にのみ多結晶化を施すことが可能である。また、図2に示すように、チャネル領域にのみ多結晶化を施すことが可能である。

（図2参照）により、チャネル領域にのみ多結晶化を施すことが可能である。また、図2に示すように、チャネル領域にのみ多結晶化を施すことが可能である。また、図2に示すように、チャネル領域にのみ多結晶化を施すことが可能である。

E.L.A.処理部は、光源200、光学系202及びエキシマレーザ照射部204を備え、エキシマレーザは、光源200から所望の光学系202を介して照射部204に供給されている。なお、E.L.A.処理部とR.T.A.処理部との配置関係は必ずしも図1に示す配置に限られず、E.L.A.処理部のエキシマレーザ照射部204をR.T.A.処理部のハロゲンランプ10により前段に設ける構成も適用可能である。

【0033】図1に示すようなアニール装置構成により、 α -S膜に対してハロゲン照射後、連続してエキシマレーザが照射されることとなる。そして、このような構成によって、 α -Sに対して二種類のアニールが施され、ゲート電極上方に適切なゲインサイズのp-Siを形成できると共に、ガラス基板上方の領域における α -Sについても適切なp-Siを得ることが可能となる。

【0034】二種類のアニールの採用によって、このような効果を得られるのは、例えば以下のような理由による。

【0035】まず、E.L.A.による α -S1の多結晶化は、従来技術で示したように、ゲート電極上方の α -S1領域よりもガラス基板上方の α -S1領域の方が優先的に進む。

【0036】これに対し、 α -S1の多結晶化にあたりハロゲンランプを用いてR.T.A.を行った場合、ハロゲン光は、 α -S1膜に対しては吸収が弱く、ゲート電極に対しては吸収が強い。そこで、ゲート電極を跨ぐように形成されている α -S1膜に対してR.T.A.を施すと、 α -S1膜の内、ゲート電極が下層に存在する領域では、ゲート電極がハロゲン光を吸収して発熱し、 α -S1の多結晶化が優先的に進む。一方、ガラス基板も α -S1膜と同じくハロゲン光に対する吸収が弱いことから、ガラス基板上に形成されている α -S1膜領域はゲート電極上領域に比較すると吸熱量が少なく、これらの領域での多結晶化は遅い。

【0037】図1のように、多結晶化したR.T.A.とE.L.A.とを組み合わせると、ハロゲン光の照射によりゲート電極上の α -S1や他の領域よりも加熱された状態でエキシマレーザが照射されることとなる。そして、ゲート電極の熱伝導率によりエキシマレーザ照射では加熱不十分となりかねないゲート電極上領域の α -S1を十分に加熱することが可能となる。このため、エキシマレーザ照射後における α -S1膜内の温度がゲート電極上とガラス基板上とでの格差が小さくなり、均質に多結晶化が進む。

結晶シリコンTFTを製造するという観点からも、R.T.A.とE.L.A.の二種類のアニール処理を組み合わせることは効果が高い。即ち、E.L.A.を用いた場合、上述のようにゲート電極上の α -S1領域を十分に多結晶化とすることが確しいものの、例えば基板温度は、200℃～250℃程度の室温～300℃程度の低温での処理が可能である。

一方、R.T.A.だけで α -S1を十分に多結晶化するためには、図1の膜厚度を例えば500nm(500Å)程度とする必要がある。しかし、基板温度が600℃以上となると、基板として融点600℃程度の安価なガラスを用いることは難しくなる。

【0038】本実施形態では、エキシマレーザを α -S1に照射するので、R.T.A.においてそれほど温度を高く設定する必要がない。例えば、500℃、あるいはそれ以下とすることができ、従って、本発明では、耐熱性の低いガラス基板上であっても膜厚の薄い多結晶シリコンTFTを形成することが容易となる。

【0039】〔多結晶シリコンTFTの製造方法〕次に、図1、図2及び図3を参照して、上記 α -S1の多結晶化方法を利用したボトムゲート構造の多結晶シリコンTFTの製造方法の一例について説明する。

【0040】図2(a)に示すように、まず、ガラス等の絶縁基板10上に、ゲート電極及びソース電極と一体のゲート配線（以下、単にゲート電極12という）として、Cr、W、Ta、Ti、Moでも良い）をスパッタリングによって形成し、所望の形状にパターニングする（パターニング方法については、図5参照）。

【0041】ゲート電極12形成後、その表面を含む基板10の全面に2層構造のゲート絶縁膜14（SiN16、SiO₂18）及び α -S1膜20をPECVDにより連続形成する（図2(b)参照）。

【0042】次に、図1のアニール処理装置を使用することにより、図2(c)に示すように、 α -S1膜20にR.T.A.及びE.L.A.によるアニール処理を施し、 α -S1膜20を多結晶化してp-S1膜21を形成する。R.T.A.とE.L.A.と、二種類のアニール処理により、特に、 α -S1膜20、ゲート電極12上に異なる領域、つまり、シリサイド膜、シリサイド、シリサイド領域となる領域は、均質かつ適切なゲインサイズのp-S1領域が形成される。

【0043】 α -S1の多結晶化後、基板10の表面からの露光（いわゆる裏面露光）によって、図2(d)に示すように、 α -S1膜21上のゲート電極12と対向する位置に、S10と11となるチャネル形成膜30、

【0044】また、図2(e)に示すように、基板10に多

【0045】また、図2(f)に示すように、ゲート電極12と対向する位置に、S10と11となるチャネル形成膜30、

域を形成する。

【0046】続いてLDD構造のTFTのLDD (Lightly Doped) 領域を形成するために、図3 (b) に示すように、チャネル領域及びLDD領域と対向する領域をマスク1で覆い、低濃度ドーパの場合と同じ伝導型の不純物をp-si膜21に高濃度ドーピングする。これによりマスク1で覆われたLDD領域の外周に高濃度ドーパ領域(N+)が形成される。

【0047】低濃度及び高濃度の不純物ドーピング後、図3 (c) に示すように、ドーパした不純物を活性化するために活性化アニール処理を行う。そして、このアニール処理によって、TFTのLDD (ソース・ドレイン領域) 32L、S、33L、Dと、ソース・ドレイン領域36S、36Dがそれぞれ形成される。

【0048】ところで、不純物活性化アニール処理では、ELA又はRTAのいずれかを利用してよい。また多結晶化の場合と同様にELAとRTAの両方を組み合わせてもよい。なお、この活性化アニールにおけるアニール温度は、ELAの場合、p-si膜21の膜温度が900℃程度となるように設定され(但し、基板温度は、20～250℃程度の室温～300℃程度)、RTAの場合には、基板温度(加熱域温度)が600℃程度となるように設定される。

【0049】不純物活性化後、p-si膜24を図5に示すような所望の形状にパターニングし、図3 (d) に示すように、SiO₂、Si₃N₄を積層して層間絶縁膜50を形成し、この層間絶縁膜50のソース領域36Sの位置にコンタクトホールを開孔する。そして、そのうえでA1などからなるソース電極70を形成し、ソース領域36Sと接続する。

【0050】液晶表示装置の液晶駆動用TFTを形成する場合には、更にこれらの上層のアクリル樹脂を用いて平坦化膜52を形成し、平坦化膜52及び層間絶縁膜50にコンタクトホールを開孔し、その上に画素電極80となるITOを形成し、ITOとドレイン領域36Dとを接続する。なお、図3 (e) においては、ソース領域36Sをソース電極70に接続し、ドレイン領域36Dを画素電極80に接続してゐるが、これには限られず、ソース領域36Sを画素電極80に接続する場合もある。

【0051】以上のようにして、LCDパネルの画像表示部には、マトリクス状の画素毎に図3 (e) の如き構成のTFTが形成され、LCDの一方の基板が得られる。そして、この基板と、共通電極及びカラーレジスタ

を、液晶駆動用ではなく、LCD内の各種(モリ素子や論理回路素子又は液晶表示装置の駆動回路、論理回路)素子として用いる場合には、画素電極80は不要である。この場合には、ソース電極70の形成と同時に、同様な手法で、ドレイン電極70Dを形成し、ドレイン領域36Dと接続する。また、ソース・ドレイン電極の形成後においては、それぞれ対向するソース・ドレイン配線に接続する。但し、電極と配線とを一体的に形成する場合には、ソース・ドレイン電極の形成と同時に必要な配線パターンを形成する。

【0053】本実施形態の多結晶シリコンTFTは、液晶駆動用素子及びLCDの駆動回路用素子に両方に利用することができる。そして、LCD装置の駆動回路等の素子として、例えばCMOS (Complementary Metal Oxide Semiconductor) を形成する場合には、本実施形態の多結晶シリコンTFTを用いて、チャネル・ドレインTFTとpチャネル(n-well)TFTを形成する。図4 (a) 及び (b) に示す実施例において、n型不純物を先にドーパする場合、p-wellTFTの形成領域をマスク材で覆っておく。そして、n型不純物ドーパ後、p-wellTFTを覆ったマスク材を剥離し、反対にp-wellTFT領域をマスクし、この状態で、図3 (a) と同様にしてp型の不純物をドーパする(但し、LDD構造は採らない)。n型及びp型の不純物ドーパ終了後には、n-wellTFT、p-wellTFTとも同時に活性化処理を行い、図3 (d) に示すようなTFTを形成する(駆動回路用のTFTでは画素電極80の形成は不要)。

【0054】

【発明の効果】本発明によれば、熱伝導率の高い材料膜の上方に少なくとも一部が重なるように形成されたソース・ドレイン膜の多結晶化にあたり、ソース・ドレイン膜に対してランサアニール処理及びレーザアニール処理を施す。ランサアニールにより、熱伝導率の高い材料膜上のソース・ドレイン膜を十分に加熱することができ、レーザアニールでは十分な多結晶化を達成する材料が膜上に適正な割合で、ソース・ドレインを形成することができる。

【0055】本発明は、熱伝導率の高い材料膜の上方にソース・ドレイン膜が形成された構成は、例えばボトムゲート構造、中TFTや、多層構造の半導体装置などにおいて適用される構成である。よって、上述のような多結晶化方法を例えばボトムゲート構造の多結晶シリコンTFTの製造にあてて利用すれば、高熱伝導率のゲート電極の上方領域に形成される中TFTの駆動層(チャネル領域)にだけ

【0056】なお、上述のような構成を得るために必要

【0057】なお、上述のような構成を得るために必要

【0058】なお、上述のような構成を得るために必要

【0059】なお、上述のような構成を得るために必要

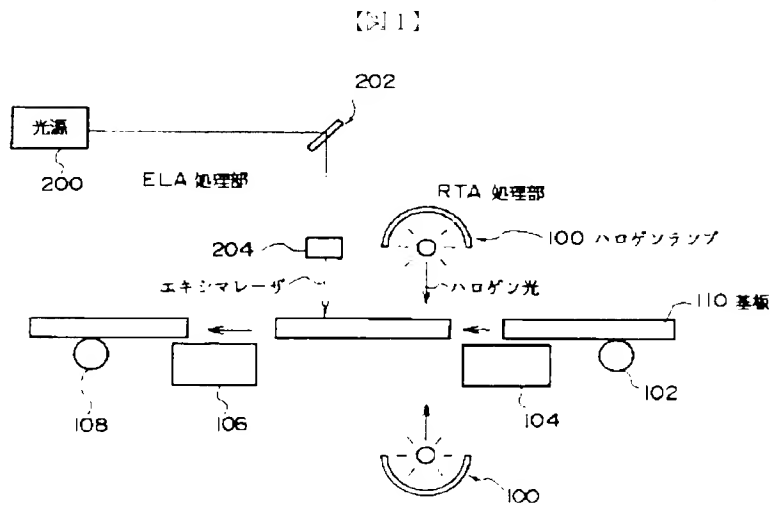
リコンTFTを形成することが容易となる。

【0057】本発明の多結晶シリコンTFTは、液晶表示装置等、マトリクス型の表示装置の画素駆動用のスイッチング素子や、表示装置の駆動回路のスイッチング素子に、いずれか一方、あるいはこれら両方のスイッチング素子として容易に利用できる。特に、本発明では多結晶シリコンTFTが得られることから、画素駆動用のスイッチング素子と表示装置の駆動回路のスイッチング素子とを、同一基板上に同一工程によって形成することが可能となる。このため、表示装置のコストダウンにつながり、またパネル周辺に駆動回路が内蔵されることとなるので、表示装置の薄型化、軽量化を図ることができ、表示装置の表示品質の向上と共に大型化にも有利となる。

【0058】また、上述のような多結晶化方法を実行するためのアニール装置は、短時間熱アニール処理部と、レーザアニール処理部とを近接配置することによって容易に構成でき、装置開発のための多大な労力を不要とできる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係るa-Siの多結晶化



本実施形態のアニール処理装置

のためのアニール装置構成を示す図である。

【図2】 本発明の実施形態に係るボトムゲート構造の多結晶シリコンTFTの製造工程を示す図である。

【図3】 本発明の実施形態に係るボトムゲート構造の多結晶シリコンTFTの製造工程を示す図である。

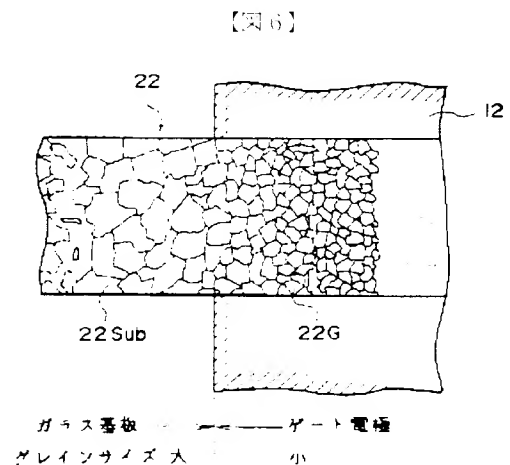
【図4】 ボトムゲート構造の多結晶シリコンTFTの従来の製造工程を示す図である。

【図5】 ボトムゲート構造の液晶駆動用TFTの平面構成を説明する図である。

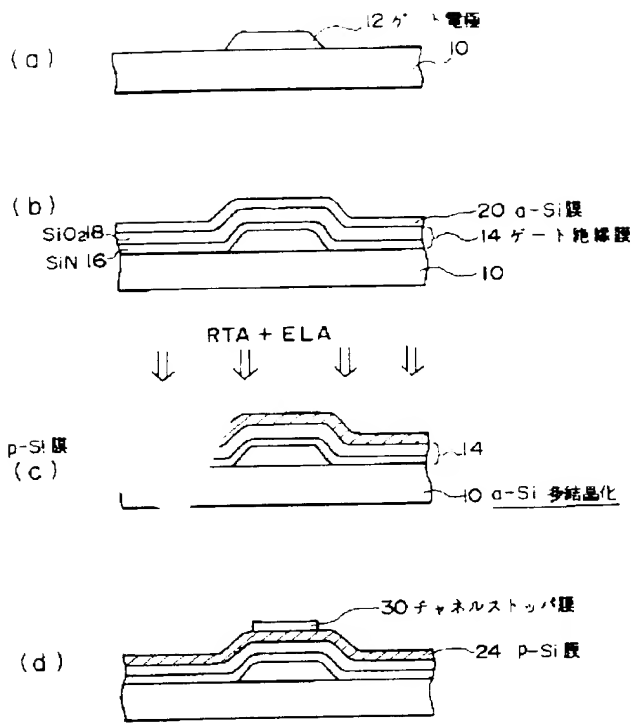
【図6】 従来の多結晶化方法によって得られたp-Si膜の多結晶化状態を示す図である。

【符号の説明】

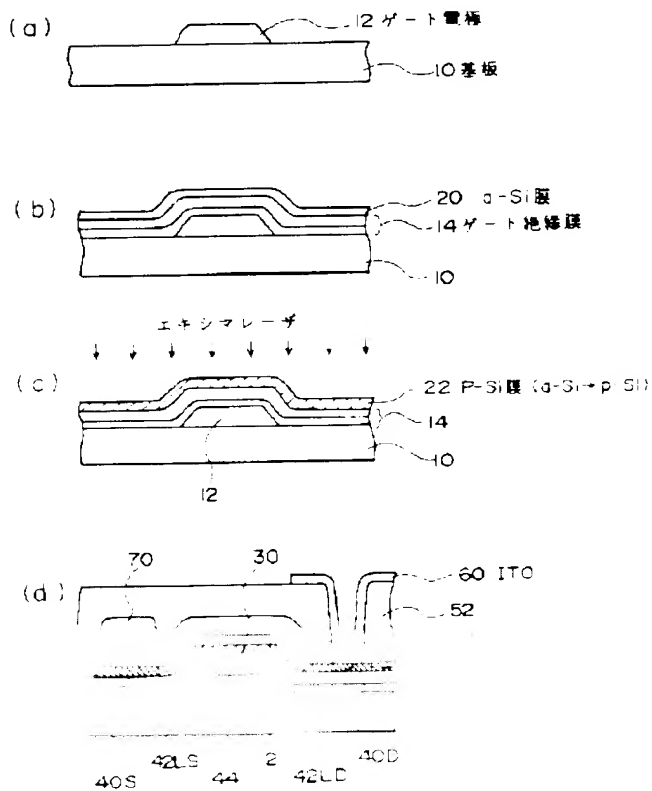
10 基板、12 ゲート電極、14 ゲート絶縁膜
20 a-Si膜、21 p-Si膜、30 チャネルストップ膜、31 チャネル領域、32ソース領域、33ドレイン領域、60 ITO、100 ハロゲンランプ、102、108 搬送ローラ、104 予備加熱部、106 遮断部、200 光源、202 光学系、204 エキシマレーザ照射部。



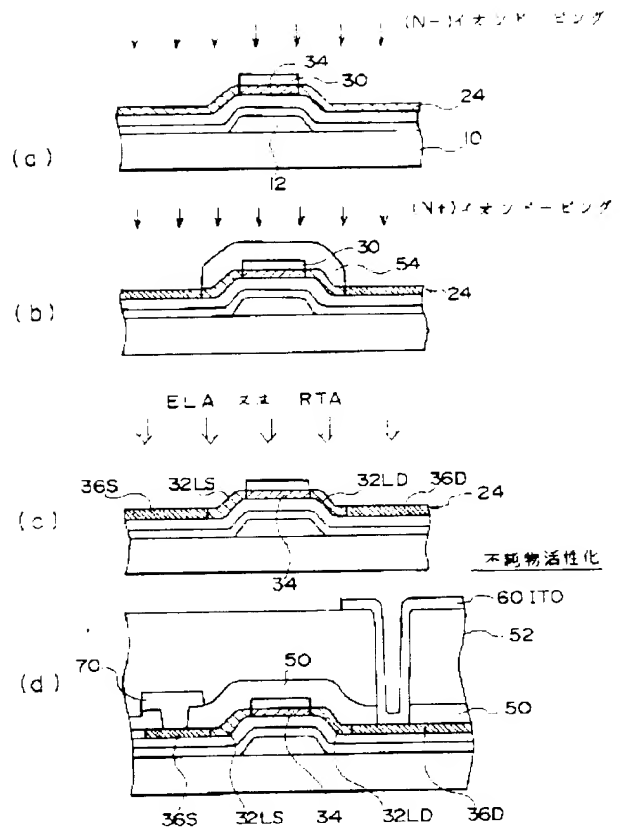
【図2】



【図4】



【図3】



【図5】

